

SHEARED RECEPTION EQUIPMENT

Publication number: JP2001024721 (A)

Publication date: 2001-01-26

Inventor(s): ADACHI SATOSHI; NODA MASAKI

Applicant(s): HITACHI LTD

Classification:

- international: **H04N5/46; H04L27/00; H04L27/22; H04N5/46; H04L27/00; H04L27/22; (IPC1-7): H04L27/22; H04L27/00; H04N5/46**

- European:

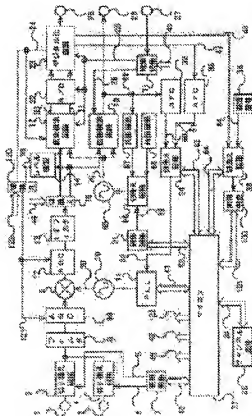
Application number: JP19990189869 19990705

Priority number(s): JP19990189869 19990705

Abstract of JP 2001024721 (A)

PROBLEM TO BE SOLVED: To provide small-sized shared reception equipment which receives broadcast signals of satellite broadcasts and the like in analog and digital systems of different types.

SOLUTION: A tuner circuit, consisting of a filter 8, gain control circuit 98, mixer circuit 9, local oscillation circuit 10, PLL circuit 11 for channel selection, etc., is shared for reception signals of analog modulation signals and digital modulation signals and an orthogonal detection frequency and an FM demodulation frequency are made identical to share a gain control circuit 12, an IF filter 13 and an oscillation circuit 65 for detection, and further the size and the power consumption of reception equipment are reduced by power control.



Data supplied from the **esp@cenet** database — Worldwide

(19) 日本(特許庁 (J P))

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-24721

(P2001-24721A)

(43) 公開日 平成13年1月26日 (2001.1.26)

| (51) Int.Cl. ⁷ | 識別記号 | F I | ページ-ド (参考) |
|---------------------------|------|---------------|-------------|
| H 0 4 L 27/22 | | H 0 4 L 27/22 | Z 5 C 0 2 5 |
| 27/00 | | H 0 4 N 5/46 | 5 K 0 0 4 |
| H 0 4 N 5/46 | | H 0 4 L 27/00 | Z |

審査請求 未請求 請求項の数10 ○ L (全 14 頁)

(21) 出願番号 特願平11-189869

(22) 出願日 平成11年7月5日 (1999.7.5)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田護国寺四丁目6番地

(72) 発明者 安達 聡

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(73) 発明者 野田 正徳

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(74) 代理人 100073096

弁理士 作田 康夫

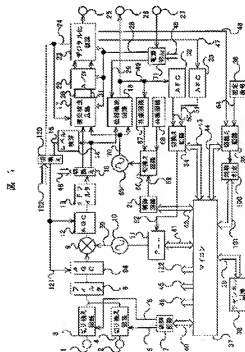
最終頁に続く

(54) 【発明の名称】 共用化受信装置

(57) 【要約】

【課題】従来の衛星放送受信機はアナログ変調信号あるいはデジタル変調信号のいずれか一方を受信することしかできない。

【解決手段】アナログ変調信号とデジタル変調信号の受信信号に対してフィルタ8、利得制御回路98、ミキサ回路9、局部発振回路10、選局用PLL回路11等のチューナ回路を共用し、また、直交検波周波数とFM復調周波数を同一とすることで利得制御回路12、IFフィルタ13および検波用発振回路65を共用し、さらに、電源制御により受信装置の小型化と低消費電力化を実現する。



【特許請求の範囲】

【請求項1】 チューナ部と、第1の発振手段を有するPLL方式のF M復調回路を含むアナログ変調信号処理系と、
第2の発振手段を有する直交検波器とA/D変換器とデジタル化復調回路を含むデジタル変調信号処理系と、
これらを制御する制御手段とを備えた共用化受信装置において、

該チューナ部は、受信したデジタル変調信号の直交検波周波数とアナログ変調信号の直交検波周波数を等しくする周波数変換手段と、少なくとも一つの利得制御手段とを備え、

該第1と第2の発振手段は、発振器と該発振器に選択的に接続される第1、第2の共振器を備え、

該制御手段は、アナログ変調信号を受信するときは第1の共振器を選択するとともに該F M復調回路を有効にして該アナログ変調信号処理系を機能させ、デジタル変調信号を受信するときは該第2の共振器を選択すると共に該直交検波回路、A/D変換器、デジタル化復調回路を有効にして該デジタル変調信号処理系を機能させ、
該デジタル変調信号処理系は該デジタル変調信号処理系に入力される信号の振幅を検知する手段を有し、該振幅が一定値となるよう、該チューナ部の利得制御手段に増減制御をかけることを特徴とする共用化受信装置。

【請求項2】 請求項1において、前記チューナ部は、アナログ変調信号とデジタル変調信号に共通のフィルタ、利得制御回路、ミキサ回路、局部発振回路、遅延用PLL回路、レベル検波回路を備えたことを特徴とする共用化受信装置。

【請求項3】 請求項1または2において、前記制御手段は、アナログ変調信号を受信するときは、前記F M復調回路への供給電源をオンするとともに前記直交検波回路、A/D変換器、デジタル化復調回路への供給電源をオフし、

デジタル変調信号を受信するときは、前記直交検波回路、A/D変換器、デジタル化復調回路への供給電源をオンするとともに前記F M復調回路への供給電源をオフすることを特徴とする共用化受信装置。

【請求項4】 チューナ部、第1及び第2の検波回路、検波用発振回路、A/D変換器、デジタル化復調回路、および制御手段を備えた共用化受信装置において、
該チューナ部は少なくとも一つの利得制御手段を備え、
該検波用発振回路は選択的に接続される第1及び第2の共振回路を備え、

該制御手段は、アナログ変調信号を受信するときは一方の検波回路と第1の共振回路を選択して該一方の検波回路への供給電源をオンしてアナログ変調信号処理系を有効にするとともに他方の検波器、A/D変換器、デジタル化復調回路への供給電源をオフしてデジタル変調信号処理系を無効にし、

デジタル変調信号を受信するときは第1及び第2の検波器と第2の共振回路を選択して該第1および第2の検波器、A/D変換器、デジタル化復調回路への供給電源をオンしてデジタル変調信号処理系を有効にする手段を備え、

該デジタル化復調回路は該デジタル化復調回路に入力される信号の振幅を検知する手段を有し、該振幅が一定値となるよう、該チューナ部の利得制御手段に増減制御をかけることを特徴とする共用化受信装置。

【請求項5】 請求項4において、前記第1の共振回路は前記第2の検波器の出力信号で共振周波数を制御する可変共振回路であることを特徴とする共用化受信装置。

【請求項6】 請求項1または4において、前記制御手段は、受信信号がアナログ変調信号かデジタル変調信号かを判定する同期判定手段を備え、その判定結果に基づいて前記アナログ変調信号処理系と前記デジタル変調信号処理系を切り換えることを特徴とした共用化受信装置。

【請求項7】 請求項1または4において、前記PLL回路で固定の共振回路を構成することを特徴とする共用化受信装置。

【請求項8】 請求項1または4において、前記第1の共振回路は前記F M復調回路の出力信号で共振周波数を制御する可変共振回路であり、前記第2の共振回路は前記デジタル化復調回路の出力信号で共振周波数を制御する可変共振回路であることを特徴とする共用化受信装置。

【請求項9】 請求項1または4において、前記直交検波回路に発振信号を供給する第1の発振回路およびF M復調回路に発振信号を供給する第2の発振回路を設けたことを特徴とする共用化受信装置。

【請求項10】 請求項1または4において、前記チューナ部と、F M復調回路と、第2の発振手段を有する直交検波器と、A/D変換器と、デジタル化復調回路と、これらを制御する制御手段とを一体化して一つの筐体に納めたことを特徴とする共用化受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は共用化受信装置に係り、特にBPSK (Binary Phase Shift Keying) 変調、QPSK (Quadrature Phase Shift Keying) 変調、SPSK (8 PhaseShift Keying) 変調、QAM (Quadrature Amplitude modulation) 変調などのデジタル変調された信号およびアナログF M変調された放送信号を受信する共用化受信装置に関する。

【0002】

【従来の技術】 現在国内では放送衛星を用いたアナログF M変調方式のTV放送、および通信衛星を用いた2GHz帯QPSK変調方式によるデジタルTV放送が行われており、将来は12GHz帯の放送衛星によるBPSK変調、QPSK変調、SPSK変調方式を用いたデジタルTV放送が計画されている。

【0003】これらアナログおよびデジタル衛星放送の受信機は例えば、特開昭63-300419号公報に記載されたMSS (Minimum Shift Keying) 復調回路や、文蔵「衛星放送チューナ用IC化小型フロントエンド」テレビジョン学会技術報告Vol. 14, No. 6, PP. 53~58, in PT'90-6 (Japan, 1990) に見られるように、個別の受信機で構成されている。

【0004】

【発明が解決しようとする課題】アナログおよびデジタル衛星放送は、将来、混在して実施されることが予想され、これら複数種類の放送信号を受信できる共用化フロントエンド装置を実現し、さらにデジタル変調された放送信号の復調処理を良好な特性に保つため、復調処理系に入力される信号振幅を一定に保つことが重要な課題である。

【0005】本発明の1つの目的はこのような種類の異なるアナログ方式およびデジタル方式の衛星放送などの放送信号を受信できる小型の共用化受信装置を提供することにある。

【0006】本発明の他の目的は、このような種類の異なるアナログ方式およびデジタル方式の衛星放送などの放送信号を経済的に受信できる共用化受信装置を提供することにある。

【0007】本発明の他の目的は、このような種類の異なるアナログ方式およびデジタル方式の衛星放送などの放送信号を良好な受信特性で受信できる共用化受信装置を提供することにある。

【0008】

【課題を解決するための手段】本発明の1つの特徴は、チューナ部と、第1の発振手段を有するPLL方式FM復調回路を含むアナログ変調信号処理系と、第2の発振手段を有する直交検波器とA/D変換器とデジタル化復調回路を含むデジタル変調信号処理系と、これらを制御する制御手段とを備えた共用化受信装置において、前記チューナ部は、受信したデジタル変調信号の直交検波周波数と、アナログ変調信号の復調周波数を等しくする周波数変換手段と、少なくとも一つ以上の利得制御回路を備え、前記第1と第2の発振手段は、発振器と該発振器に選択的に接続される第1と第2の共振器を備え、前記制御手段は、アナログ変調信号を受信するときは第1の共振器を選択すると共に前記FM復調回路を有効にして前記アナログ変調信号処理系を機能させ、デジタル変調信号を受信するときは前記第2の共振器を選択すると共に前記直交検波回路、A/D変換器、デジタル化復調回路を有効にして前記デジタル変調信号処理系を機能させ、デジタル変調信号受信時には、デジタル変調信号処理系は、デジタル変調信号処理系に入力される信号の振幅を検知し、チューナ部の利得制御回路に増減制御をかけデジタル変調信号処理系に入力される信号の振幅を一定の値に保つことにある。

【0009】本発明の他の特徴は、チューナ部、第1および第2の検波回路、検波用発振回路、A/D変換器、デジタル化復調回路および制御手段を備えた共用化受信装置において、チューナ部は少なくとも一つ以上の利得制御回路を備え、前記検波用発振回路は選択的に接続される第1および第2の共振器を備え、前記制御手段はアナログ変調信号を受信するときは一方の検波器と第1の共振器を選択して該一方の検波器への供給電源をオンしてアナログ変調信号処理系を有効にすると共に他方の検波器、A/D変換器、デジタル化復調回路への供給電源をオフしてデジタル変調信号処理系を、無効にし、デジタル変調信号を受信するときは第1および第2の検波器と第2の共振器回路を選択して該第1および第2の検波器、A/D変換器、デジタル化復調回路への供給電源をオンしてデジタル信号処理系を有効にする手段を備え、デジタル変調信号受信時には、デジタル化復調回路は、デジタル化復調回路に入力される信号の振幅を検知し、チューナ部の利得制御回路に増減制御をかけデジタル化復調回路に入力される信号の振幅を一定の値に保つことにある。

【0010】そして具体的には、アナログ変調信号(FM変調)とデジタル変調信号(QPSK変調信号等)を受信する入力端子、アナログ変調信号とデジタル変調信号を切り換える手段、受信信号を中間周波信号(1F信号)に変換する手段、希望信号を選局する局部発振回路、受信信号を1F信号に周波数変換する手段の前段、あるいは後段、あるいは前段後段両方に設けられる利得制御手段、アナログ変調信号を復調する手段、デジタル変調信号をI(In-Phase)とQ(Quadrature-Phase)の2信号に直交検波する手段、アナログ復調およびデジタル直交検波用の発振回路、発振回路の共振回路をアナログ、デジタル変調信号受信時に切り換える手段、アナログ、デジタル変調信号受信時に電源供給を切り換える手段、I、Q信号をA/D変換する手段、A/D変換出力を復調し、かつA/D変換出力の振幅を検知し、振幅に応じた信号を出力する機能を有するデジタル化復調手段、アナログ変調信号受信時に1F信号周波数を調整するAFC手段、デジタル変調信号受信時に局部発振回路の発振周波数を掃引する手段、局部発振回路の発振周波数制御およびアナログ、デジタル信号受信時に各回路部を切り換えるための制御手段(マイクロコンピュータ)、受信した信号がアナログ変調信号かデジタル変調信号かを判定する手段を備える。

【0011】

【発明の実施の形態】以下、本発明の実施例を図面を用いて説明する。

【0012】図1は、本発明になるアナログ/デジタル共用化受信装置の第1の実施例を示すブロック図である。1、2は入力端子、3、4は増幅回路等で構成される入力信号切り換え回路、7は切り換え信号、6を出

力する制御回路。410は前記制御回路7を制御する制御信号、8は妨害波抑制用のフィルタ回路、98は利得制御回路、9はミキサ回路、10は局部発振回路、11はチャンネル選局用のPLL回路、41は前記PLL回路11を制御する制御信号、12は利得制御回路、13は中間周波フィルタ(以下IFフィルタ)、16はIF信号切り換え回路、46は前記IF信号切り換え回路16を制御する制御信号、17はデジタル変調信号を直交変換してI(In Phase)およびQ(Quadrature Phase)の2つの信号30、31を出力する直交変換回路、22はA/D変換器、23はデジタル化復調回路、24は復調信号の振幅を検出して前記デジタル化復調回路23から出力される検波信号、25は復調出力端子、18はアナログ変調信号をFM復調する位相検波回路、26はFM検波出力端子、65はデジタル変調信号の直交変換波用およびアナログFM変調信号用のPLL検波用の発振回路、67は共振周波数を加電圧で制御できる共振回路、68は固定周波数の共振回路、66は共振回路67、68の一方を選択的に有効にする切り換え回路、21は前記切り換え回路66を制御する切り換え信号を出力する制御回路、43は前記制御回路21を制御する制御信号、32はFM復調信号49からIF信号の周波数ずれを検出してAFC信号50を出力するAFC回路、33はデジタル化復調回路23の復調信号47からIF信号の周波数ずれを検出してAFC信号51を出力するAFC回路、34はAFC回路32、33の出力信号50、51の一方を選択的に有効にする切り換え回路、43は前記切り換え回路34を制御する制御信号、52は前記切り換え回路34から出力されるAFC信号、48はデジタル化復調回路23が同期したかどうかを検出する同期検出信号、36は固定信号発生回路、64は前記固定信号発生回路36の出力信号で、デジタル化復調回路23が同期状態にあることを示す固定信号、35は同期検出信号48と固定信号64の一方を選択的に有効にするように切り換える切り換え回路、44は前記切り換え回路35を制御する制御信号、100は同期/非同期の判定回路、101は前記判定回路100から出力される判定信号、37はRF/Mデュータを含んだマイクロコンピュータ(以下マイコン)、38は受信希望する放送信号を選択するチャンネル選局装置、39は選局データ、27は電源供給端子、71は電源供給切り換え回路、45は前記電源供給切り換え回路を制御する制御信号、29はFM復調用位相検波回路18への供給電源、28は直交変換回路17、A/D変換器22およびデジタル化復調回路23への供給電源を示している。

【0013】入力端子1からはアナログFM変調された信号(概ね1〜2GHz帯の放送の受信信号)が入力され、入力端子2からはデジタル変調された信号(変調方式は例えどQPSK方式であり、概ね1〜2GHz帯の放送の受信信号)が入力される。入力した前記アナログ

FM変調信号またはデジタル変調信号は制御回路7から出力される切り換え信号5、6に基づいて動作する入力信号切り換え回路3、4によりその一方が選択される。選択された受信信号は、フィルタ回路8で妨害波を抑制して除去し、利得制御(AGC)回路98で利得を制御した後にミキサ回路9に入力される、ミキサ回路9は局部発振回路10からの発振信号59と受信信号を混合してIF信号(例えば479.5MHzの中間周波)に周波数変換して出力する。ここで、前記局部発振回路10の発振周波数はPLL選局回路11に入力されるデータ41によって制御され、ミキサ回路9において希望する放送局の信号が選択(選局)される、前記データ41はマイコン37内のROMデータであり、チャンネル選局回路38からの選局データ39に応じて選択的に読み出される。ここで、入力端子2から入力したデジタル変調信号を選択して受信している場合は、データ41には局部発振回路10の発振周波数を抽引する掃引データが含まれる。

【0014】ミキサ回路9から出力されるIF信号は利得制御回路12で利得制御され、IFフィルタ13でIF信号を抜き取った後にIF信号切り換え回路16に入力される。IF信号切り換え回路16は、受信信号がデジタル変調信号の場合には、IF信号を直交変換回路17に入力するように切り換わり、受信信号がアナログFM変調の場合には該IF信号をFM復調用位相検波回路18に入力するように切り換わる。この入力切り換えは、マイコン37から与えられる制御データ46により制御される。

【0015】以下、受信信号がデジタル変調された放送信号である場合と、アナログFM変調された放送信号である場合とに分けて、各々の動作について詳細に説明する。

【0016】受信信号がデジタル変調された信号である場合について説明する。デジタル変調された信号は、直交変換回路17において発振回路59からの発振信号で検波されて1信号30および信号31として出力され、A/D変換器22でデジタル変調信号に変換される。この1、Qのデジタル変調信号はデジタル化復調回路23で同期再生、クロック再生、同期検出、誤り訂正等を行ない、復調出力端子25からデジタル復調信号として出力される。

【0017】発振回路65につながる共振回路67、68は、制御信号発生回路21から出力される切り換え信号69に基づいて動作する切り換え回路66によって固定の共振回路68を選択する。制御信号発生回路21はマイコン37からの制御データ42により制御する。

【0018】デジタル化復調回路23は、復調信号の振幅を検出して検波信号24を出力し、直交変換回路17内のAGC回路に帰還するとともに、検波信号24を切り換え回路120を介した利得制御回路121として利

得制御回路98、12に帰還して復調信号出力の振幅を一定に保つように利得制御をかける。なお、ここで、利得制御回路98は入力増倍1、2に入力される概ね1〜2GHz帯の信号周波数で良好に動作するように設計され、利得制御回路12は1F周波数帯域で良好に動作するように設計されたものであり、例えば、利得制御回路12と1Fフィルタ13の位置が交代されても同様の動作が行われる。なお、本説明では利得制御信号24、121は利得制御回路98、12、直交検波回路内のAGC回路の3個所に帰還される構成で説明したが、デジタル化復調回路23に入力される信号の振幅が一定に保たれる条件内であれば任意の数のAGC回路に帰還しても同様の効果が得られる。また、このデジタル化復調回路23は、1F信号の周波数ずれに応じた周波数誤差信号47を出力し、AFC回路3でAFC信号51に変換してから切り換え回路34を介してPLL選周回路11に帰還し、1F信号の周波数ずれを補正するように局部発振回路10にAFC回路をかけるようにする。更に、このデジタル化復調回路23は、復調回路が同期したかどうかを検出する同期検出信号48を出力して切り換え回路35を介して同期・非同期の判定回路100に入力し、判定データをマイコン37に入力するようにする。例えば、デジタル化復調回路23が非同同期状態のときは、判定データ101によりマイコン37内のROMから描引データを選周データ41に重畳し、PLL選周回路11を制御して局部発振回路10の発振周波数を微少範囲（例えば±3MHz）で描引し、デジタル化復調回路23を同期させる。そして、デジタル化復調回路23が同期したときは、判定データ101により、描引データの重畳を停止する。

【0019】電源端子27からの電源電圧は、切り換え回路71を介して電源28として直交検波回路17、A/D変換器22およびデジタル化復調回路23に印加し、位相検波回路18の電源29は遮断状態として無駄な電力消費を抑える。

【0020】次に、受信信号がアナログFM変調された信号である場合について説明する。アナログFM変調された信号は位相検波回路18および復調回路65によりPLL/FM復調され、端子26より復調信号を出力する。この時、発振回路65に繋がる共振回路67、68は、制御信号発生回路18より出力される切り換え信号69に基づいて動作する切り換え回路66により可変の共振回路67が選択され、FM復調信号49で共振周波数を制御するPLLループを構成する。制御信号発生回路21は、マイコン37からのデータ42により制御される。位相検波回路18に入力される信号はレベル検波回路14にも入力され、レベル検波回路14は、利得制御信号15を出力し、切り換え回路120を介して、利得制御信号121として位相検波回路18に入力される信号の振幅が一定になるように利得制御回路98、1

2の利得を制御する。切り換え回路120は、デジタル変調信号受信時はデジタル化復調回路23の出力する利得制御信号24を利得制御信号121として出力し、アナログFM変調信号受信時はレベル検波回路14の出力する利得制御信号15を利得制御信号121として出力するよう制御信号122で制御される。

【0021】AFC回路32は、位相検波回路18から出力されるFM復調信号49に基づいて1F信号の周波数ずれを検出してAFC信号50を出力する。AFC信号50は、切り換え回路34を介してPLL選周回路11に入力され、1F信号の周波数ずれを補正するように局部発振回路10の発振周波数を制御するAFCをかける。アナログFM変調された放送信号受信時は、局部発振回路10を描引させると特性が劣化するために描引を停止させる必要があり、固定信号発生回路36から出力される固定信号64を切り換え回路35を介して判定回路100に与える。判定回路100は、固定信号36は常に同期状態と判定するために描引は停止した状態となる。

【0022】電源端子27からの電源電圧は切り換え回路71を介して電源29として位相検波回路18に印加し、直交検波回路17、A/D変換器22およびデジタル化復調回路23への電源28は遮断状態として無駄な電力消費を抑える。

【0023】AFC切り換え回路34は、データ43に基づいて、デジタル変調された放送信号を受信するときはAFC信号51を選択し、アナログFM変調された放送信号を受信するときはAFC信号50を選択する。また、切り換え回路35はデータ44に基づいて、デジタル変調された放送信号を受信するときは同期信号48を選択し、アナログFM変調された放送信号を受信するときは固定信号発生回路36からの固定信号64を選択する。

【0024】この実施例によれば、アナログFM変調された放送信号とデジタル変調された放送信号を受信し、妨害波抑制用のフィルタ回路8、利得制御回路98、ミキサ回路9、局部発振回路10、選周用のPLL回路11等のチューナ回路部を共用し、また、ミキサ回路9による周波数変換により直交検波周波数とFM復調周波数を等しくして、利得制御回路12、1Fフィルタ13、検波用の発振回路65を共用するようになったことで、受信装置の小形化と低消費電力化の効果が得られ、デジタル変調放送信号を受信するときは利得制御回路12、98に帰還制御をかけるデジタル化復調回路の入力振幅値を一定に保ち、良好な復調特性を保つようにする。

【0025】また、アナログ変調放送信号を受信するとき、復調信号から1F信号の周波数ずれを検出して局部発振回路10にAFCをかける。デジタル変調放送信号を受信するときは同期が確立するまで局部発振回路10を描引して1F信号の周波数ずれを補正し、デジタル変

調波送信信号の受信時にはAFCを停止し、アナログ変調波送信信号の受信時には掃引を停止することで、互いに妨害を与えることなく2種類の放送信号に対して良好な受信特性が得られる。

【0026】さらに、アナログ変調波送信信号を受信するときにはデジタル変調波送信信号の検波回路系17、22、23の電源を遮断し、デジタル変調波送信信号を受信するときにはアナログ変調波送信信号の検波回路系18の電源を遮断することで、互いに妨害を与えることなく良好な受信特性が得られるとともに低消費電力化を実現できる効果が得られる。

【0027】図2は、本発明になるアナログ・デジタル共用化受信装置の第2の実施例を示すブロック図である。前述した実施例と同一機能を持つブロックには同一の参照符号を付けて説明を省略する。この実施例は復調回路17、18の検波回路を共用するものであり、検波回路90、91を切り替えて選択的に使用するように構成されている。

【0028】まず、デジタル変調された放送信号の受信について説明する。IFフィルタ13からのIF信号は、切り換え回路95を介して検波回路90に入力するとともに前記切り換え回路95と移相量および損失が同一の移相回路105を介して検波回路91に入力する。切り換え回路95は制御データ96により制御され、受信信号がデジタル変調信号のときはオンとなるようにする。検波回路90、91には発振回路65からの発振信号70が2分配されて供給される。発振信号70の一部は、切り換え回路93と90度移相器92を介して検波回路90に入力し、他の一部は前記切り換え回路93と移相量と損失が同一の移相回路111を介して検波回路91に入力する。切り換え回路93は制御データ94により制御し、受信信号がデジタル変調信号のときはオンとなるようにする。

【0029】検波回路90、91からの検波信号は、利得制御回路84、85で振幅値を制御し、一方の検波信号はバッファ回路110を介してA/V変換器22に入力し、他方の検波信号は切り換え回路80を介してA/V変換器22に入力する。前記バッファ回路110は、切り換え回路80と移相量及び損失が同一の回路特性とする。切り換え回路80はデータ83により制御され、受信信号がデジタル変調信号のときは信号31を出力する。A/V変換器22の出力信号はデジタル化復調装置23に入力し、ここで復調して復調出力端子25から復調データとして出力する。デジタル化復調装置23は、さらに、利得制御信号24を出力し、切り換え回路88を介して利得制御回路84、85に帰還する。この切り換え回路88は、制御データ87で制御され、受信信号がデジタル変調信号の場合は前記利得制御信号24を選択して出力信号89として出力し、アナログ変調信号を受信しているときは固定電圧発生器86からの固定電圧を選択

して出力信号89として出力する。

【0030】次に、受信信号がアナログ変調信号の場合について説明する。切り換え回路95はオフ状態とし、IFフィルタ13から出力されるIF信号を移相回路105を介して検波回路91に入力する。また、切り換え回路93をオフ状態にし、発振回路65からの発振信号70は移相回路111を介して検波回路91に供給する。検波回路91からの出力信号は、固定電圧発生回路86からの固定電圧で一定利得状態となっている利得制御回路84を介して切り換え回路80に入力される。切り換え回路80は、制御データ83により制御してF/M検波出力端子26に出力する状態とすることにより、F/M検波出力端子26から復調信号として出力する。利得制御回路84からの出力信号70は切り換え回路81にも入力し、制御データ82によりオン状態とし切り換え回路81を介して共振回路67に入力するPLLループを構成する。

【0031】この実施例によれば、アナログ変調された信号とデジタル変調された信号を受信し、妨害除去フィルタ8、利得制御回路98、ミキサ回路9、局部発振回路10、選局回路11等のチューナ回路を共用し、また、直交検波周波数と、F/M検波周波数を同一とすることと利得制御回路12、IFフィルタ13、検波用発振回路65、検波器90、91を共用することができ、受信機の小型化と低消費電力化を得ることができる効果がある。

【0032】図3は、本発明になるアナログ・デジタル共用化受信装置の第3の実施例を示すブロック図である。前述した実施例と同一機能を持つブロックには同一の参照符号をつけて説明を省略する。この実施例は、受信信号がアナログ変調信号かデジタル変調信号かを自動的に判別して相応した受信回路の選択を行うような受信機の例である。この実施例は、入力端子1、2からアナログ変調信号とデジタル変調信号を別々に入力する構成としたが、2種類の変調信号が一度に1つの入力端子から供給される構成に変形することも可能である。また、緊急時の処置やサービスの多様化に従って伝送チャンネルの変更も考えられる。上記のようなアナログ変調信号とデジタル変調信号の混在のシステムや伝送チャンネルの変更に対応するためには、伝送信号の変調方式を自動判別する受信方式が必要となる。この実施例は受信開始時にはアナログ変調信号受信のための回路（復調回路18、共振器67、AFC回路32、信号発生回路36）が選択され、復調回路18の出力信号49が同期判別回路102に入力される。

【0033】今、受信信号がアナログ変調された放送信号である場合には、同期判別回路102からは素同期状態であることを示す同期信号103を発生する。マイコン37は、該同期信号103により該回路系がアナログ変調信号受信のために適合した構成状態であると判断して該回路系の選択を継続させる。これに対し、受信信

号がデジタル変調信号された放送信号である場合には、復調回路18は同期しないため、同期判別回路102は、系が非同期状態にある事を示す信号103を出力する。マイコン37は、この信号103から回路系が不適合状態であると判断してデジタル変調信号受信のための回路(直交検波回路17、A/D変換器、デジタル化復調回路23、AFC回路33、共振器68)を選択する制御を行なう。同期判別回路102の構成としては、PLL/FM復調回路のPLLループの同期を判別する方法や、復調映像信号の垂直、水平同期信号を抽出する方法や、フレーム同期信号を抽出する方法等を採用することができる。

【0034】本説明では、同期判定回路102は復調回路18の出力信号が入力される構成とし、受信開始時にはアナログ変調信号受信のための回路が選択されている場合について説明したが、デジタル化復調回路23から同期判定回路に信号を出力する構成とし、受信開始時にはデジタル変調信号受信のための回路が選択されているもよい。この場合も同期判別回路102の構成としてフレーム同期信号を抽出する方法等を採用することができる。

【0035】この実施例によれば、受信信号の変調方式を自動的に判別して適合する回路系を構成することにより、アナログ変調信号とデジタル変調信号が混在するシステムや伝送チャンネル変更に対処する事が容易に可能となる。

【0036】図4は、本発明になるアナログ/デジタル共用化受信装置の第4の実施例を示すブロック図である。前述した実施例と同一機能を持つブロックには同一の参照番号を付けて説明を省略する。この実施例は、受信信号がデジタル変調信号の場合には検波用の発振回路5にPLL制御をかけて固定発振器とする例である。この実施例において106はPLL制御回路、107は切換回路である。マイコン37は、制御データ105により、アナログ変調信号を受信しているときには信号49を共振器67に入力するPLL/FM復調回路を構成するように切換回路107を制御し、デジタル変調信号を受信しているときには信号104を共振器67に入力して発振器65の発振周波数を固定させるPLL発振回路を構成するように切換回路107を制御するようにする。

【0037】この実施例によれば、発振回路65を固定発振器とするためにPLL制御をかけることで、経時変化の小さい良好な発振回路が得られる。また、共振器67を共用することで回路系を小型化できる効果がある。

【0038】図5は、本発明になるアナログ/デジタル共用化受信装置の第5の実施例を示すブロック図である。前述した実施例と同一機能を持つブロックには同一の参照番号を付けて説明を省略する。

【0039】この実施例において、73はデジタル化復調装置23からの周波数誤差信号17を処理する処理回路であり、共振器68は可変共振器である。この実施例は、周波数誤差信号47を処理回路を介して共振器68に帰還するPLL回路を構成することで、デジタル変調された放送信号を受信するときの同期周波数範囲の拡大を図る例である。

【0040】図6は、本発明になるアナログ/デジタル共用化受信装置の第6の実施例を示すブロック図である。前述した実施例と同一の機能を持つブロックには同一の参照番号を付けて説明を省略する。

【0041】この実施例において、19は固定周波数発振回路、20は可変周波数発振回路である。58は切り換え回路である。マイコン37はアナログ変調信号を受信するときには、発振回路20を選択して復調回路18に発振信号55を供給し、デジタル変調信号を受信するときには、発振回路19を選択して直交検波回路17に発振信号54を供給するように切換回路58を制御する。切り換え回路58はアナログ変調信号を受信するときには可変周波数発振回路20を選択するための信号57を出力し、デジタル変調信号を受信するときには固定周波数発振回路19を選択するための信号58を出力するようにマイコン37によって制御される。

【0042】この実施例は、2つの発振回路20、21を、アナログ変調信号受信時とデジタル変調信号受信時に切り換えて使用するようにしたことにより、アナログ変調信号処理回路とデジタル変調信号処理回路の間の干渉を抑えることができる効果が得られる。

【0043】図7は、本発明になるアナログ/デジタル共用化受信装置の第7の実施例における主要部分を示すブロック図である。1、2は入力端子、3、4は入力切り換え回路、107はフィルタを利得制御回路などのRF回路、9は周波数変換回路、10は局部発振回路、13は利得制御回路や中間周波フィルタ等のIF回路、17はデジタル変調信号を復調してI(In Phase)とQ(Quadrature Phase)の直交検波信号を出力する直交検波回路、22はA/D変換器、23はデジタル化復調回路、25はデジタル信号出力端子、18はアナログ変調信号を復調する復調回路、26はアナログ復調信号出力端子、65は直交検波及びFM復調検波用の発振回路、37は検波用の発振回路や局部発振回路の発振周波数およびアナログまたはデジタル変調信号処理回路の切り換え等を制御する制御回路、112はIC化復調部、109は以上の回路を一体化した共用化受信装置である。

【0044】この実施例は、アナログ及びデジタル衛星放送の第1中周波数信号(J1XRF)を受信する共用化受信装置であり、入力端子1からは帯域1~2GHz帯のアナログ変調された放送受信信号が入力され、入力端子2からは帯域1~2GHz帯のデジタル変調された放送受信信号が入力され、切り換え回路3、4で何れか一

方の受信信号を選択する。選択された受信信号は、RF回路107で妨害波の除去や利得制御等の信号処理が行なわれ、周波数変換回路9で局部発振回路10からの発振信号と混合されてIF信号に変換される。このIF信号は、IF回路13で利得制御、フィルタリング等を実施して直交検波回路17及び復調回路18に入力される。

【0045】受信信号がデジタル変調信号の場合は、直交検波回路17が有効に機能するように選択して前記受信信号を発振回路65からの発振信号で直交検波し、A/D変換器22、デジタル化復調回路23を経て出力端子25から出力する。アナログ変調信号の場合には、復調回路18が有効に機能するように選択して発振回路65の発振信号でFM復調した復調信号を出力端子26より出力する。また、IC化復調部112はRF回路107内のAGC回路、あるいはIF回路13内のAGC回路、あるいはRF回路107とIF回路13の双方のAGC回路に利得制御信号121を出力し、IC112への入力信号の振幅が一定の値になるように各利得制御回路に帰還制御をかける。

【0046】この実施例によれば、アナログ変調された放送信号とデジタル変調された放送信号を受信し、RF回路、周波数変換回路、局部発振回路等のチューナ回路107を共用し、また、直交検波周波数とFM復調周波数を同一とすることでIF回路13と検波用発振回路を共用することができ、さらに、デジタル化復調回路23までを含めた復調部をIC化し、受信機として一体化することにより受信機の小型化と高機能化と低消費電力化を実現することができる効果がある。

【0047】

【発明の効果】本発明によれば、受信したアナログ変調信号とデジタル変調信号に共通のフィルタ、利得制御回路、ミキサ回路、局部発振回路、選局用のPLL回路、レベル検波回路を備えたチューナ部を共用して処理し、また、直交検波周波数とFM復調周波数を同一とすることでIFフィルタおよび検波用発振回路を共用することで受信装置を小型化することができる効果が得られる。

【0048】また、アナログ変調信号受信時にはデジタル変調信号の検波回路の電源を遮断し、デジタル変調信号受信時にはアナログ変調信号の検波回路の電源を遮断することで互いに妨害を与えることなく良好な受信特性を得ると共に低消費電力化することができる効果が得ら

れる。

【0049】さらに具体的には、アナログ変調信号受信時は復調信号からIF信号の周波数ずれを検出して局部発振回路にAFCをかけ、デジタル変調信号受信時は同期が確立するまで局部発振回路を極引してIF信号の周波数ずれを補正し、デジタル変調信号受信時にはAFCを停止し、アナログ変調信号受信時には極引を停止するようにすることで互いに妨害を与えることなく良好な受信特性が得られる。また、受信信号の変調方式を自動的に判別する回路部を内蔵させることにより、アナログ変調信号とデジタル変調信号が混在するシステムや伝送チャネル変更に対処することが容易に可能となる。

【図面の簡単な説明】

【図1】本発明になるアナログ・デジタル共用化受信装置の第1の実施例を示すブロック図である。

【図2】本発明になるアナログ/デジタル共用化受信装置の第2の実施例を示すブロック図である。

【図3】本発明になるアナログ/デジタル共用化受信装置の第3の実施例を示すブロック図である。

【図4】本発明になるアナログ・デジタル共用化受信装置の第4の実施例を示すブロック図である。

【図5】本発明になるアナログ/デジタル共用化受信装置の第5の実施例を示すブロック図である。

【図6】本発明になるアナログ/デジタル共用化受信装置の第6の実施例を示すブロック図である。

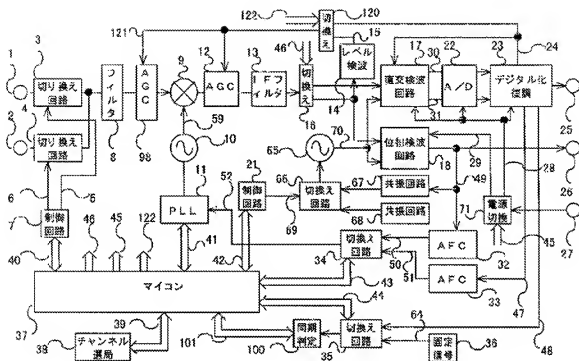
【図7】本発明になるアナログ/デジタル共用化受信装置の第7の実施例を示すブロック図である。

【符号の説明】

1、2・・・入力端子、3、4・・・入力切り換え回路、8・・・フィルタ、12、98・・・利得制御回路、9・・・周波数変換回路、10・・・局部発振回路、11・・・PLL回路、13・・・IFフィルタ、14・・・レベル検波回路、16・・・切り換え回路、17・・・直交検波回路、18・・・FM復調回路、22・・・A/D変換器、23・・・デジタル化復調回路、25、26・・・出力端子、27・・・電源端子、32、33・・・AFC回路、37・・・マイコン、38・・・チャンネル選局回路、65・・・発振回路、67、68・・・共振回路、71・・・電源切り換え回路、100・・・同期判別回路。

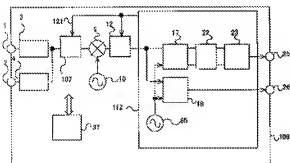
【図1】

図 1

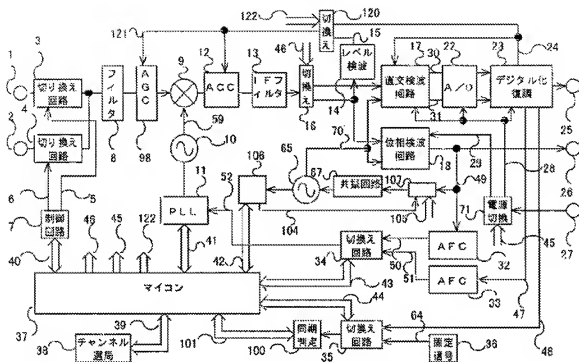


【図7】

図 7







【図5】

図 5

